

Family list

1 family member for:

JP2004006974

Derived from 1 application.

1 METHOD OF MANUFACTURING ACTIVE MATRIX CIRCUIT

Publication Info: JP2004006974 A - 2004-01-08

Data supplied from the **esp@cenet** database - Worldwide

METHOD OF MANUFACTURING ACTIVE MATRIX CIRCUIT

Patent number: JP2004006974
Publication date: 2004-01-08
Inventor: KOBORI ISAMU; ARAI MICHIO
Applicant: SEMICONDUCTOR ENERGY LAB; TDK CORP
Classification:
 - **international:** G02F1/1368; H01L21/20; H01L21/336; H01L29/786;
 G02F1/13; H01L21/02; H01L29/66; (IPC1-7):
 H01L21/336; G02F1/1368; H01L21/20; H01L29/786
 - **europen:**
Application number: JP20030285552 20030804
Priority number(s): JP20030285552 20030804

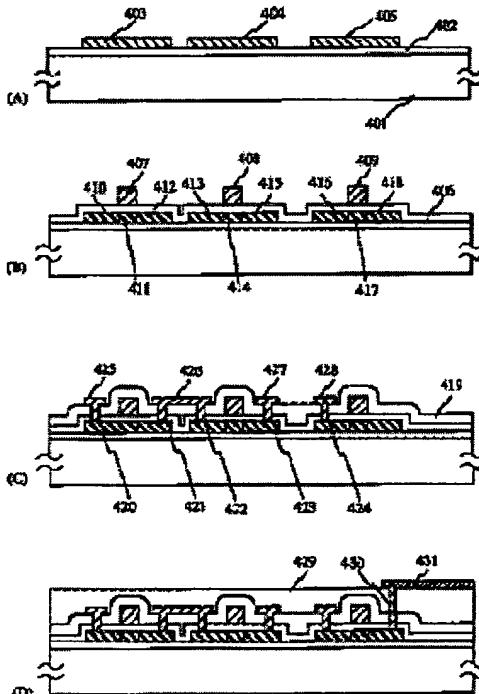
[Report a data error here](#)

Abstract of JP2004006974

PROBLEM TO BE SOLVED: To provide a method of manufacturing an active matrix circuit operating at high speed with low power consumption.

SOLUTION: The method of manufacturing the active matrix circuit is obtained, wherein an island region is formed by using an amorphous silicon film, first annealing is performed on the island region, an active layer having a crystallized silicon is formed thereon, a gate insulating film and a gate electrode are formed on the gate active layer, a conductive impurity is introduced onto the active layer by ion doping with the gate electrode serving as a mask, the introduced impurity is activated by second annealing, a first interlayer insulating film having a silicon nitride film or a multilayer film composed of the silicon nitride film and a silicon oxide film is formed on the active layer, the gate insulating film, and the gate electrode, and a multilayer film is formed on the first interlayer insulating film. The multilayer film is in contact with the active layer via a contact hole formed on the first interlayer insulating film and is made of titanium and aluminum.

COPYRIGHT: (C)2004,JPO



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2004-6974

(P2004-6974A)

(43)公開日 平成16年1月8日(2004.1.8)

(51) Int.Cl.⁷
 H01L 21/338
 G02F 1/1368
 H01L 21/20
 H01L 29/786

F 1
 HO1 L 29/78 627 G
 GO2 F 1/1368
 HO1 L 21/20

テーマコード(参考)
 2H092
 5F052
 5F110

審査請求 有 請求項の数 10 O L (全 11 頁)

(21)出願番号 特願2003-285552(P2003-285552)
 (22)出願日 平成15年8月4日(2003.8.4)
 (62)分割の表示 特願平7-96266の分割
 原出願日 平成7年3月28日(1995.3.28)

(71)出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (71)出願人 000003067
 TDK株式会社
 東京都中央区日本橋1丁目13番1号
 (72)発明者 小堀勇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72)発明者 荒井三千男
 東京都中央区日本橋一丁目13番1号 T
 D K株式会社内
 Fターム(参考) 2H092 GA29 JA24 JA46 JB56 KA04
 KA05 KB24 KB25 MA08 MA27
 MA29 MA30 NA21 NA26 NA29
 最終頁に続く

(54)【発明の名称】アクティブマトリクス回路の作製方法

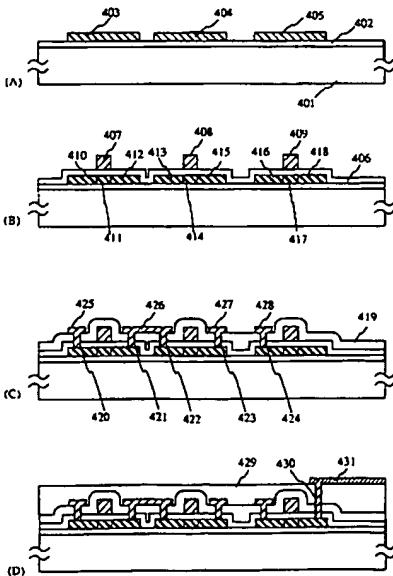
(57)【要約】

【目的】消費電力が低く、高速で動作するアクティブマトリクス回路の作製方法を提供する。

【構成】

アモルファスシリコン膜を用いて島状領域を形成し、前記島状領域に第1のアニールを行い、結晶化されたシリコンを有する活性層を形成し、前記活性層上にゲート絶縁膜とゲート電極を形成し、前記ゲート電極をマスクとして、前記活性層にイオンドーピング法により導電型不純物を導入し、前記導入された不純物を第2のアニールにより活性化し、前記活性層、前記ゲート絶縁膜及び前記ゲート電極上に窒化珪素膜、または窒化珪素膜と酸化珪素膜の多層膜を有する第1の層間絶縁膜を形成し、前記第1の層間絶縁膜上に、前記第1の層間絶縁膜に形成されたコンタクトホールを介して前記活性層に接する、チタン及びアルミニウムの多層膜を形成することを特徴とするアクティブマトリクス回路の作製方法。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

基板上に下地膜を形成し、
前記下地膜上にアモルファスシリコン膜を形成し、
前記アモルファスシリコン膜を用いて島状領域を形成し、
前記島状領域に第1のアニールを行い、結晶化されたシリコンを有する活性層を形成し

、
前記活性層上にゲイト絶縁膜を形成し、
前記ゲイト絶縁膜上にゲイト電極を形成し、
前記ゲイト電極をマスクとして、前記活性層にイオンドーピング法により導電型不純物 10
を導入して、不純物領域及びチャネル形成領域を形成し、
前記導入された不純物を第2のアニールにより活性化し、
前記活性層、前記ゲイト絶縁膜及び前記ゲイト電極上に窒化珪素膜を有する第1の層間
絶縁膜を形成し、
前記第1の層間絶縁膜上に、前記第1の層間絶縁膜に形成されたコンタクトホールを介
して前記活性層に接する、チタン及びアルミニウムの多層膜を形成し、
前記第1の層間絶縁膜及び前記多層膜上に、酸化珪素膜を有する第2の層間絶縁膜を形
成することを特徴とするアクティブマトリクス回路の作製方法。

【請求項 2】

基板上に下地膜を形成し、
前記下地膜上にアモルファスシリコン膜を形成し、
前記アモルファスシリコン膜を用いて島状領域を形成し、
前記島状領域に第1のアニールを行い、結晶化されたシリコンを有する活性層を形成し

20

、
前記活性層上にゲイト絶縁膜を形成し、
前記ゲイト絶縁膜上にゲイト電極を形成し、
前記ゲイト電極をマスクとして、前記活性層にイオンドーピング法により導電型不純物
を導入して、不純物領域及びチャネル形成領域を形成し、
前記導入された不純物を第2のアニールにより活性化し、
前記活性層、前記ゲイト絶縁膜及び前記ゲイト電極上に、窒化珪素膜と前記窒化珪素膜 30
上に形成された酸化珪素膜とを有する第1の層間絶縁膜を形成し、
前記第1の層間絶縁膜上に、前記第1の層間絶縁膜に形成されたコンタクトホールを介
して前記活性層に接する、チタン及びアルミニウムの多層膜を形成し、
前記第1の層間絶縁膜及び前記多層膜上に、酸化珪素膜を有する第2の層間絶縁膜を形
成することを特徴とするアクティブマトリクス回路の作製方法。

【請求項 3】

請求項1又は2において、
前記導電型不純物はN型であり、ドーピングガスはフォスфинであることを特徴とす
るアクティブマトリクス回路の作製方法。

【請求項 4】

40

請求項1乃至3のいずれか1項において、
前記導電型不純物はP型であり、ドーピングガスはジボランであることを特徴とするア
クティブマトリクス回路の作製方法。

【請求項 5】

請求項1乃至3のいずれか1項において、
前記第1のアニールは、加熱又は光照射によって行われることを特徴とするアクティブ
マトリクス回路の作製方法。

【請求項 6】

請求項1乃至5のいずれか1項において、
前記第2のアニールは、400℃～800℃で1～12時間のアニールであることを特 50

徴とするアクティブマトリクス回路の作製方法。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項において、

前記アモルファスシリコン膜の膜厚は 200 nm ~ 1000 nm であることを特徴とするアクティブマトリクス回路の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項において、

前記島状領域の面積は 1000 μm² 以下であることを特徴とするアクティブマトリクス回路の作製方法。

【請求項 9】

10

請求項 1 乃至 8 のいずれか 1 項において、

前記アクティブマトリクス回路及び駆動回路を有する液晶電気光学装置。

【請求項 10】

請求項 1 乃至 8 のいずれか 1 項において、

前記アクティブマトリクス回路及び駆動回路を有するイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、絶縁体上に、アモルファスシリコン薄膜を結晶化して形成される、多結晶シリコン薄膜よりなる半導体、およびそれを用いた薄膜トランジスタに関する。 20

【背景技術】

【0002】

石英基板等の絶縁体上に、アモルファスシリコン薄膜を形成し、それを、加熱や、レーザー光や強光の照射によるアニール処理により固相成長 (SPC) させて、多結晶シリコン薄膜を有する技術が、近年盛んに研究されている。

絶縁体上において、アモルファスシリコン薄膜を固相成長させて多結晶シリコン薄膜を得るための、従来の一般的な方法を以下に示す。

まず、石英基板上に、アモルファスシリコン薄膜が 50 nm ~ 500 nm 形成される。

その後、400 °C ~ 1100 °C に加熱してアニール処理を行い、アモルファスシリコン薄膜が結晶成長される。このとき、加熱手段としては、ヒーターや赤外線等が用いられる。

アニール処理は、加熱の他に、レーザー光や強光を照射して行ってもよい。

このようにして、多結晶シリコン薄膜が得られる。

得られた多結晶シリコン薄膜を、薄膜トランジスタ (TFT) の活性シリコン層として用いて薄膜トランジスタを設けることができ、これを用いて、高速・高画質の液晶表示装置や、イメージセンサ等が得られる。

【0003】

【従来技術の問題点】

従来、アモルファスシリコン薄膜を、アニール処理して得られた多結晶シリコン薄膜は、結晶中の欠陥密度を低下させることが困難であった。 40

このような多結晶シリコン薄膜を活性シリコン層として用いた薄膜トランジスタは、活性シリコン層中の欠陥密度が高いため、薄膜トランジスタの諸特性の改善、例えば、スレスシュホールド電圧 (V_{th}) の低下、移動度の増大、リーク電流 (I_{OFF}) の減少等の実現が妨げられていた。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、アモルファスシリコン薄膜を、アニール処理して得られる多結晶シリコン薄膜を、欠陥密度を低下させ、良質なものとすることを目的とする。

50

また、アニール処理して得られる多結晶シリコン薄膜を用いた薄膜トランジスタにおいて、スレッシュホールド電圧 (V_{th}) 、リーク電流 (I_{OFF}) の低下、移動度の増大を図ることを目的とする。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の一つは、

基板上に形成されたアモルファスシリコン薄膜を、アニール処理により多結晶化せることに際し、

前記アモルファスシリコン薄膜は、 $1000 \mu m^2$ 以下の平面面積を有することを特徴とする半導体作製方法である。 10

また、上記構成において、アモルファスシリコン薄膜は、好ましくは $100 nm$ 以上、より好ましくは、 $200 nm \sim 1000 nm$ の膜厚を有することを特徴とする。

【0006】

また、本発明の他の一つは、

薄膜トランジスタの活性シリコン層が、複数並列に配置された島状領域で構成され、該島状領域は、 $1000 \mu m^2$ 以下の平面面積を有する多結晶シリコン薄膜であることを特徴とする薄膜トランジスタである。

また、上記構成において、島状領域は、好ましくは $100 nm$ 以上、より好ましくは、 $200 nm \sim 1000 nm$ の膜厚を有する多結晶シリコン薄膜であることを特徴とする。 20

【0007】

また、本発明の他の一つは、

基板上に、アモルファスシリコン薄膜を形成する工程と、前記アモルファスシリコン薄膜を、 $1000 \mu m^2$ 以下の平面面積を有する、複数の島状領域に加工する工程と、

アニール処理により、前記島状領域を構成するアモルファスシリコン薄膜を多結晶化する工程と、

前記複数の島状領域のうちの少なくとも1つを、活性シリコン層とした薄膜トランジスタを形成する工程と、

を有することを特徴とする薄膜トランジスタ作製方法である。 30

また、上記構成において、アモルファスシリコン薄膜は、好ましくは、 $100 nm$ 以上、より好ましくは、 $200 nm \sim 1000 nm$ の膜厚を有することを特徴とする。

【0008】

[作用]

本出願人は、アモルファスシリコン薄膜を、平面面積（基板上面から見た面積）を $100 \mu m^2$ 以下の島状領域（アイランド）として形成してから、これを、加熱や、レーザー光、強光の照射によりアニール処理して、多結晶シリコン薄膜とすることにより、欠陥密度の低い、良質な多結晶シリコン薄膜が得られることを発見した。

図1に、多結晶シリコン薄膜トランジスタの、スレッシュホールド電圧 (V_{th}) と島状領域の面積との関係を示す。

このときの島状領域の膜厚は、 $125 nm$ である。 40

図1に示すように、島状領域の面積が小さくなるほど、Pチャネル、Nチャネルの双方において、スレッシュホールド電圧が下がり、欠陥密度が低くなっていることがわかる。

図1において、島状領域の平面面積が、 $1000 \mu m^2$ 以下であるとき、極めて良好な結晶性が得られることがわかる。

また、島状領域の平面面積が、 $1000 \mu m^2$ 以下であれば、島状領域の平面の形状は、正方形でも、長方形でも、その他の形状でもかまわない。

また、島状領域は、平面面積が $1 \mu m^2$ 以上であれば、素子として充分に利用可能であり、また通常の技術で容易に作製することができる。

【0009】

一方、この多結晶シリコン薄膜を、薄膜トランジスタの活性シリコン層として設ける場 50

合、島状領域の面積の大きさが制限されているために、それを用いた薄膜トランジスタの大きさも制限され、ひいては薄膜トランジスタの性能も制限されてしまう。

そこで、本出願人は、薄膜トランジスタのソース領域、ドレイン領域、およびチャネル形成領域を構成する活性シリコン層として、多結晶シリコン薄膜である、平面面積 $100\ \mu\text{m}^2$ 以下の島状領域を、複数個、並列に並べて設け、実質的なチャネル幅を大きくすることで、電流量が十分に流れ、かつ欠陥密度の低いチャネル形成領域を有する、高性能の多結晶薄膜トランジスタを得ることができることを発見した。

【0010】

図3に、複数の島状領域を、活性シリコン層として用いた薄膜トランジスタの平面形状の例を示す。

10

図3において、島状領域301が、複数個並列に配列され、薄膜トランジスタの活性シリコン層305を構成している。

その上に、ゲート電極302、ソース電極303、ドレイン電極304が設けられている。

【0011】

1つの薄膜トランジスタを構成する、個々の島状領域の間隔は、数～数 $10\ \mu\text{m}$ が適当である。この間隔は、小さいほど、活性シリコン層の平面面積を小さくできる。

島状領域は、その平面面積を小さくすると、多結晶化した状態において、欠陥密度がより減少し、リーク電流を減少させることができる。

【0012】

また、本出願人は、アモルファスシリコン薄膜の膜厚を、 100 nm 以上、好ましくは $200\text{ nm} \sim 1000\text{ nm}$ と厚くすることで、これを結晶化して得られた多結晶シリコン薄膜の欠陥密度が低くなることを発見した。

20

図2に、固相成長における多結晶シリコン薄膜の欠陥密度と、初期アモルファスシリコン薄膜の膜厚との関係を示す。

このときの固相成長(SPC)温度は、 600°C である。

図2より、膜厚が厚くなるほど、欠陥密度が少なくなることがわかる。

しかし、このような膜厚の厚い初期アモルファスシリコン薄膜をアニール処理して結晶化させる際には、 $3 \times 10^{-9}\text{ dyn/cm}^2$ 程度の、相変化による応力が発生し、その結果、形成される多結晶シリコン薄膜に、ひび割れが生じてしまうことがあった。

30

【0013】

したがって、膜厚の厚いアモルファスシリコン薄膜を結晶化させて形成した多結晶シリコン薄膜を、薄膜トランジスタのチャネル形成領域を構成する活性シリコン層としてそのまま用いると、装置の不良や、性能の低下の原因となってしまうことがあった。

【0014】

しかしながら、本出願人は、アモルファスシリコン薄膜の膜厚が 100 nm 以上、特に $200\text{ nm} \sim 1000\text{ nm}$ であっても、アモルファスシリコン薄膜よりなる島状領域の面積を、 $1000\ \mu\text{m}^2$ 以下として、それをアニール処理し、結晶化することで、ひび割れを生じさせることなく、より欠陥密度の低い多結晶シリコン薄膜が得られることを発見した。

40

また、アモルファスシリコン薄膜の膜厚が、 1000 nm より厚くなると、ひび割れが生じやすくなる。

【0015】

本発明により、電流量が十分に流れ、かつ欠陥密度の低いチャネル形成領域を有する、高性能の多結晶薄膜トランジスタを得ることができた。

このような薄膜トランジスタは、スレッシュホールド電圧(V_{th})や、リーク電流(I_{off})が低くなるため、消費電力を小さくすることができる。また移動度(μ)が大きくなるため、高速で動作し、また、大電流を流すことが可能となる。

【発明の効果】

【0016】

50

本発明により、電流量が十分に流れ、かつ欠陥密度の低いチャネル形成領域を有する、高性能の多結晶シリコン薄膜トランジスタを得ることができた。

このような薄膜トランジスタは、スレッシュホールド電圧 (V_{th}) や、リーク電流 (I_{off}) を低くすることができるため、消費電力を低くすることができた。また移動度 (μ) が大きくなるため、高速で動作し、また、大電流を流すことが可能となった。

【実施例】

【0017】

実施例は、同一基板上に、多結晶シリコン薄膜トランジスタにより構成された、アクティブマトリクス回路と周辺駆動回路とを形成した例を示す。

図4に、実施例の作製工程を示す。

図5に、図4の上面図を示す。図5(A)～(D)は、図4(A)～(D)を上面から見た図である。また、図4は、図5のA-A'断面である。

【0018】

図4において、まず、基板401として、石英を用いた。他にコーニング社7059等のガラス基板を用いてもよい。

基板401を洗浄し、TEOS(テトラ・エトキシ・シラン)と酸素を原料ガスとしてプラズマCVD法によって、厚さ200nmの酸化珪素下地膜402が形成される。

そして、プラズマCVD法によって、膜厚100nm以上、好ましくは200nm～1000nm、ここでは300nmの、初期アモルファスシリコン薄膜が形成される。

次に、この初期アモルファスシリコン薄膜が、ドライエッ칭によりパターニングされ、活性シリコン層403～405を構成する島状領域が、アクティブマトリクス部と、周辺駆動回路部の、薄膜トランジスタが形成される位置に設けられる。(図4(A))

【0019】

図5(A)に示すように、アモルファスシリコン薄膜よりなる島状領域501～507が形成され、活性シリコン層403～405が構成される。

個々の島状領域の大きさは、平面形状の面積を $1000\mu m^2$ 以下とするため、ここでは、幅 $20\mu m$ ×長さ $50\mu m$ とした。

また、島状領域は、高速駆動が要求される周辺駆動回路部においては、1つの薄膜トランジスタにつき3つ、リーク電流の少なさが求められるアクティブマトリクス部においては、1つの薄膜トランジスタにつき1つ、設けられた。

もちろん、要求される規格に応じて、島状領域の数を増減させてもよいことは、いうまでもない。

【0020】

ここでは、周辺駆動回路部の一つの薄膜トランジスタを構成する島状領域どうしの間隔は、 $4\mu m$ とした。

また、アクティブマトリクス部の薄膜トランジスタにおいて、ここでは1つの島状領域により、活性シリコン層405を構成したが、もちろん、複数の島状領域にて構成してもよい。

また、活性シリコン層405を、より小さい平面面積を有する複数の島状領域により構成させてもよい。この場合、欠陥密度がより低くなり、リーク電流を低下させることができる。

また、薄膜トランジスタを構成する島状領域の形状を、アクティブマトリクス部と周辺駆動回路部とにおいて、異ならせてよい。

【0021】

次に、これらアモルファスシリコン薄膜よりなる島状領域が、アニール処理により結晶化される。

基板温度は、 $500^\circ C$ ～ $1100^\circ C$ 、ここでは $700^\circ C$ 、加熱時間は、2時間～72時間、ここでは48時間とした。

アニール処理は、加熱の他に、レーザー光や、強光(赤外線等)の照射により行ってよい。

この結晶化工程により、島状領域 501～507 は、良好に結晶化された多結晶シリコン薄膜とされた。

【0022】

その後、プラズマCVD法を用いて、ゲイト絶縁膜として機能する酸化珪素膜 407 が、150 nm の厚さに形成される。

その上に、スパッタ法により、アルミニウム膜が 600 nm 成膜され、エッチングによりパターニングされて、ゲイト電極 407、408、409 が形成される。

【0023】

次に、イオンドーピング法により、活性シリコン層 403～405 に、ゲイト電極 407～409 をマスクとして、自己整合的に、N導電型およびP導電型を付与する不純物がドーピングされた。
10

ここでは、ドーピングガスとして、N型のドーピングにはフォスфин (PH₃)、P型のドーピングには、ジボラン (B₂H₆) を用いた。

ここでは、画素領域の薄膜トランジスタは、Pチャネル型とした。すなわち、活性シリコン層 404、405 には、P型不純物が、403 には、N型不純物がドーピングされた。
。

この結果、P型の不純物領域 413、415、416、418 と、N型の不純物領域 410、412、および実質的に真性なチャネル形成領域 411、414、417 を形成することができた。

【0024】

この後、400°C～800°C で 1～12 時間、代表的には、600°C、2 時間のアニール処理がされ、ドーピングされた不純物が活性化された。(図 4 (B))
20

図 5 (B) において、活性シリコン層 403、404 のそれぞれにおいて、ゲイト電極 407、408 が、複数の島状領域の上に設けられていることが示されている。

【0025】

続いて、厚さ 50 nm の窒化珪素膜と、厚さ 300 nm の酸化珪素膜の 2 層よりなる絶縁膜が、第 1 の層間絶縁物 419 として、プラズマCVD法によって形成された。

次に、第 1 の層間絶縁物 419 に、コンタクトホール 420～424 が形成されて、金属材料、例えば、チタン 50 nm、アルミニウム 400 nm の多層膜によって、薄膜トランジスタの電極・配線 425～428 が形成された。(図 4 (C)、図 5 (C))
30

実施例において、活性シリコン層 403、404 のコンタクトホール 420～423 のそれぞれは、図 5 (C) に示すように、3 つの島状領域に対し 1 つ形成されているが、個々の島状領域に 1 つづつ形成してもかまわない。

【0026】

その後、さらに、厚さ 400 nm の酸化珪素膜が、プラズマCVD法により形成され、これを第 2 の層間絶縁物 429 とした。

そして、アクティブマトリクス領域の薄膜トランジスタの画素電極を構成する側の不純物領域に、コンタクトホール 430 が形成され、さらに、厚さ 80 nm のITO(酸化インジウム・スズ)膜が形成され、これをエッチングして画素電極 431 が形成された。(図 4 (D)、図 5 (D))
40

【0027】

こうして、アクティブマトリクス部分と、周辺駆動回路部分とを、同一基板上に形成することができた。

このようにして形成されたアクティブマトリクス回路および周辺駆動回路は、リーク電流 (I_{OFF}) が少なく、低消費電力であり、高速に動作する、優れたものとなった。

この基板と、一面に電極が形成された対向基板とを、液晶を介して設置し、液晶電気光学装置を作製することができた。

【図面の簡単な説明】

【0028】

【図 1】多結晶シリコン薄膜トランジスタの、スレッシュホールド電圧 (V_{th}) と、島状
50

領域の面積との関係を示す図。

【図2】固相成長における多結晶シリコン薄膜の欠陥密度と、初期アモルファスシリコン薄膜の膜厚との関係を示す図。

【図3】複数の島状領域を活性シリコン層として用いた薄膜トランジスタの平面形状の例を示す図。

【図4】実施例の作製工程を示す図。

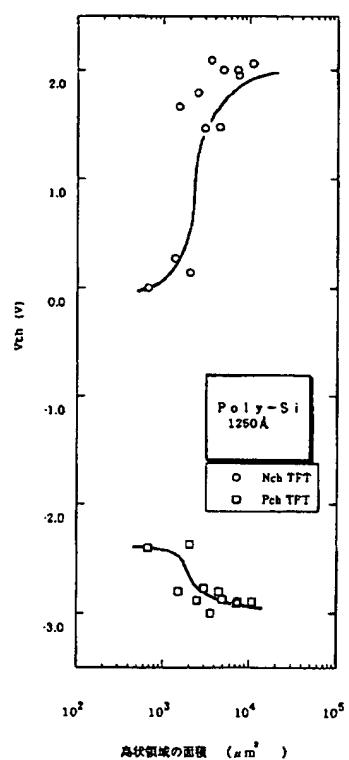
【図5】図4の上面を示す図。

【符号の説明】

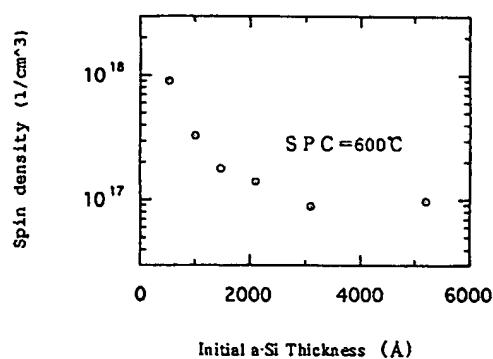
【0029】

3 0 1	島状領域	10
3 0 2	ゲイト電極	
3 0 3	ソース電極	
3 0 4	ドレイン電極	
3 0 5	活性シリコン層	
4 0 1	基板	
4 0 2	酸化珪素下地膜	
4 0 3、4 0 4	活性シリコン層（周辺駆動回路部）	
4 0 5	活性シリコン層（アクティブマトリクス部）	
4 0 6	酸化珪素膜	
4 0 7、4 0 8、4 0 9	ゲイト電極	20
4 1 0、4 1 2	N型の不純物領域	
4 1 1、4 1 4、4 1 7	チャネル形成領域	
4 1 3、4 1 5、4 1 6、4 1 8	P型の不純物領域	
4 1 9	第1の層間絶縁物	
4 2 0、4 2 1、4 2 2、4 2 3、4 2 4	コンタクトホール	
4 2 5、4 2 6、4 2 7、4 2 8	電極・配線	
4 2 9	第2の層間絶縁物	
4 3 0	コンタクトホール	
4 3 1	画素電極	
		30

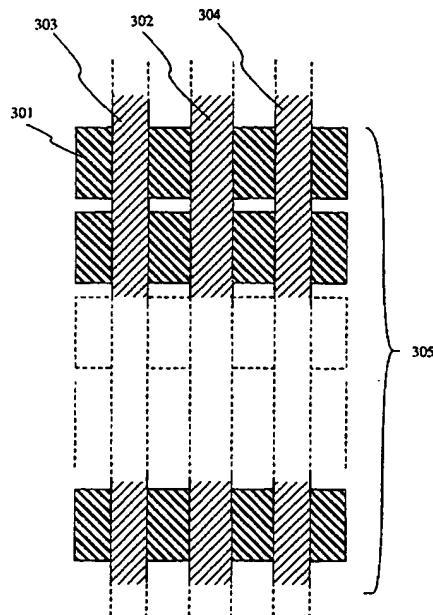
[図 1]



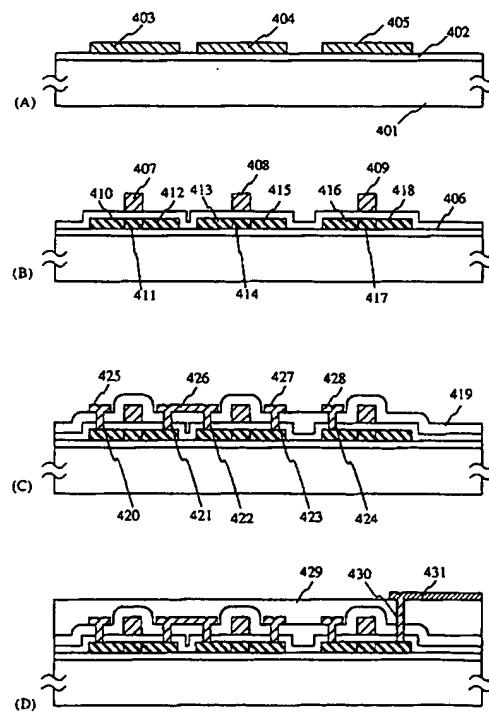
[図 2]



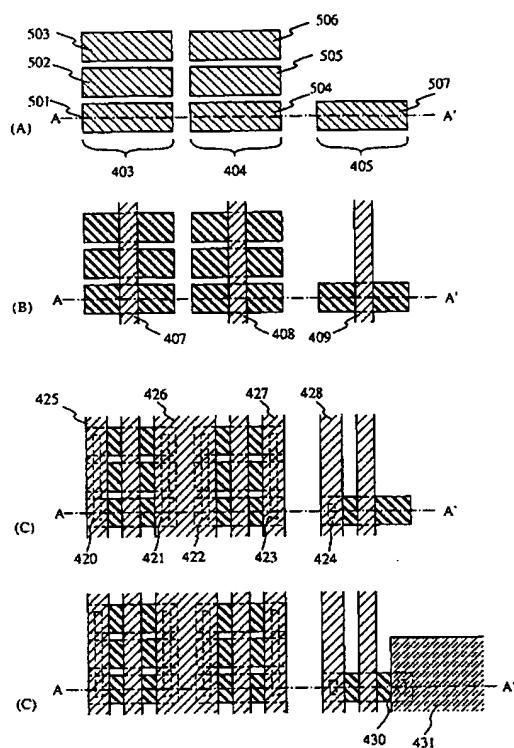
[図 3]



[図 4]



【図5】



フロントページの続き

F ターム(参考) 5F052 AA02 AA11 AA24 CA07 DA02 DB03 FA22 JA01
5F110 AA06 AA07 AA09 BB02 BB10 CC02 DD02 DD03 DD13 EE03
EE44 FF02 FF30 GG02 GG13 GG23 GG24 GG45 HJ01 HJ12
HJ23 HL03 HL04 HL11 NN03 NN23 NN24 NN35 NN72 PP02
PP03 PP10 PP40 QQ11

THIS PAGE BLANK (USPTO)